

PAT-NO: JP401286361A

DOCUMENT-IDENTIFIER: **JP 01286361 A**

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: November 17, 1989

INVENTOR-INFORMATION:

NAME

MATSUMOTO, YASUHIKO

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP63116103

APPL-DATE: May 12, 1988

INT-CL (IPC): H01L029/72, H01L021/205 , H01L021/31 , H01L029/78

US-CL-CURRENT: 257/487, 438/365

ABSTRACT:

PURPOSE: To arrange the constitution so that characteristic abnormality such as drop of withstand voltage of a device, etc., may not occur by providing an insulation film formed on the surface of a selected epitaxial layer by a rotary application method.

CONSTITUTION: As is doped to a P type silicon substrate 1 so as to form an N type buried layer 2 and an oxide film 3 is grown at the surface. A window is opened inside the buried layer 2, and a phosphorous doped N type **SEG** (selective epitaxial growth) area 4 is grown. And an oxide film 5 is grown on the **SEG** area 4. Next, an insulation film 8 is formed by a rotary application method. Since applied film is formed thick on a facet 7 at the corner part of the **SEG** area 4 this way and the entire surface of the **SEG** area 4 is planed, if boron is implanted by an ion implanting method, uniform base 6 is formed. Hereby, even if impurity is implanted by the ion implanting method, an impurity introduced

layer is formed uniformly to the depth direction inside the selective epitaxial layer, therefore drop of withstand voltage does not occur.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A) 平1-286361

⑤Int.Cl.⁴ 識別記号 庁内整理番号 ⑬公開 平成1年(1989)11月17日
 H 01 L 29/72 8526-5F
 21/205 7739-5F
 21/31 Z-6824-5F
 29/78 3 0 1 Z-8422-5F 審査請求 未請求 請求項の数 1 (全3頁)

⑭発明の名称 半導体装置

⑮特 願 昭63-116103

⑯出 願 昭63(1988)5月12日

⑰発 明 者 松 本 康 彦 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

半 導 体 装 置

特 許 請 求 の 範 囲

半導体基板上の絶縁膜の開口部に選択的に形成されたエピタキシャル層表面に回転塗布法で形成された絶縁膜を設けたことを特徴とする半導体装置。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は半導体装置に関し、特に選択エピタキシャル成長領域を有する半導体装置に関する。

〔従来の技術〕

従来の選択エピタキシャル成長(Selective Epitaxial Growth、以下SEGと記す)領域を有する半導体装置の一つとして、シリコンのSEG領域を有するバイポーラトランジスタがある。

第3図(a)、(b)は従来のトランジスタのベースまで形成した半導体チップの平面図及びB-B'線断面図である。

結晶面が(100)であるP型Si基板1の表面にAsをドーピングしてN型の埋込層2を形成し、この埋込層2の酸化膜厚が1.0μmになるようにシリコン酸化膜3を成長させる。埋込層2の内側に窓開けを行い、この中にだけSiが析出する成長条件でN型のSEG層4を成長させる。SEG領域4の上に酸化膜5を形成した後、イオン注入法により、ホウ素を打ち込み熱処理を行ないベース層6を形成する。さらにエミッタとA₁電極を通常の方法を用いて形成する(図示せず)。

〔発明が解決しようとする課題〕

上述したSEG領域を有するバイポーラデバイスでは、長方形のSEG領域4の辺が<100>方向を向くように配置されているため、SEG領域4のコーナー部にファセットと呼ばれる(100)面とは異なる成長面7が現われる。このため、

ベースを形成すると、第3図に見られるように、ファセット7の下ベース層6が埋込層2に近づくため、N型SEG領域4のコレクタと、P型のベース層6の耐圧が低下するという問題がある。
〔課題を解決するための手段〕

本発明の半導体装置は、半導体基板上の絶縁膜の開口部に選択的に形成されたエピタキシャル層表面に回転塗布法で形成された絶縁膜を設けたものである。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例の断面図である。

P型シリコン基板1にAsをドーブしてN型の埋込層2を形成し、表面に酸化膜3を成長させる。埋込層2の内側に窓開けを行い、厚さ1.5 μ m、抵抗率0.8 $\Omega \cdot \text{cm}$ のリンドーブN型SEG（選択エピタキシャル成長）領域4を成長させる。選択エピタキシャル成長は、シリンドータイプの減

圧エピタキシャル成長装置を用いて下記条件で行なった。

成長温度	900℃
SiH ₄ C ₂ 流量	300SCCM
HCl 流量	500SCCM
PH ₃ 流量	25SCCM
(H ₂ ベース 50ppm)	
H ₂ 流量	60SLM
成長時圧力	40 Torr

このSEG領域4の上に厚さ200nmの酸化膜5を成長させる。次に、塗布法を用いて絶縁膜8を形成する。本実施例では、シリコン酸化膜を用いた。この塗布シリコン法による酸化膜8は、ケイ素化合物〔R_nSi(OH)_{4-n}〕が有機溶剤に溶解したものを表面に回転塗布した後、熱処理を行ない、有機溶剤を膜中から焼き飛ばしたり、薄膜と焼き締めたりすることで得られる。膜厚はケイ素化合物の濃度や、塗布時の回転数で制御することができる。

こうしてSEG領域4のコーナー部のファセッ

ト7上には厚く塗布膜が形成されSEG領域4の表面全体が平坦になるためイオン注入法でホウ素を打込むと均一なベース6が形成できる。

第2図(a)、(b)は本発明の第2の実施例の平面図及び断面図である。

第2の実施例は、Nチャネル型のMOSトランジスタを作り込んだ例である。ホウ素濃度1 $\times 10^{19} \text{cm}^{-3}$ のP型Si基板1に厚さ1.0 μ mのシリコン酸化膜3を設け、選択エッチングして開口部を設け、開口部にSEG領域4を形成する。SEG領域4上に厚さ20nmのゲート酸化膜12を設け、その上に多結晶シリコンでゲート電極13を形成する。次に、ソース・ドレイン領域14を形成するためのAsのイオン注入を行うが、このままではファセット7の領域でAsが深く入りP型Si基板1に近づくため、ソース・ドレイン領域14と基板1との間の耐圧が低下する。そこで、ゲート酸化膜12を形成した後、第1の実施例と同様に塗布法を用いて酸化膜8を形成し、SEG層4全体を平坦にすることにより、

Asのイオン注入によってソース・ドレイン領域14を形成しても、ファセット7の領域でAsが深く入ることがないので、耐圧は低下しない。

〔発明の効果〕

以上説明したように、本発明は、選択エピタキシャル層表面に回転塗布法で形成した絶縁膜を設けたので、選択エピタキシャル層表面全体が平坦になり、イオン注入法で不純物を打込んでも選択エピタキシャル層内の深さ方向に対し不純物導入層が均一に形成されるため、デバイスの耐圧低下等の特性異常は発生しないという効果がある。

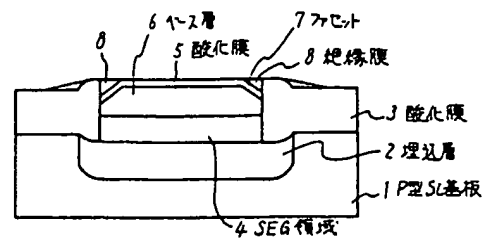
図面の簡単な説明

第1図は本発明の第1の実施例の断面図、第2図(a)、(b)は本発明の第2の実施例の平面図及びA-A'線断面図、第3図(a)、(b)は従来のトランジスタのベースまで形成した半導体チップの平面図及びB-B'線断面図である。

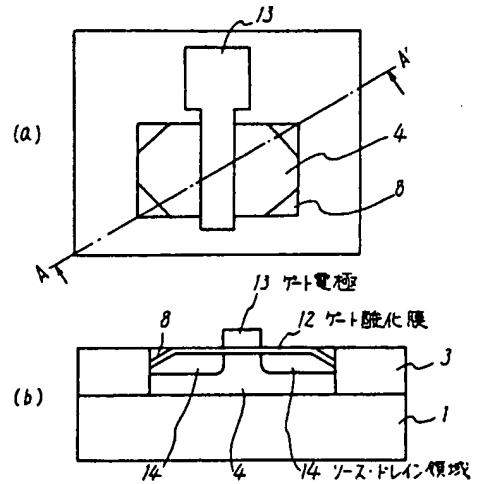
1…P型Si基板、2…埋込層、3…酸化膜、4…SEG膜、5…酸化膜、6…ベース層、7…

ファセット、8…酸化膜、12…ゲート酸化膜、
13…ゲート電極、14…ソース・ドレイン領域

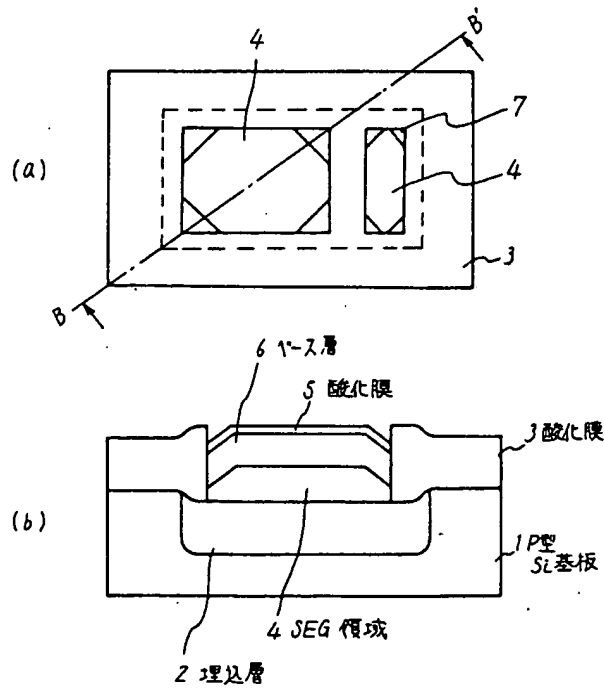
代理人 弁理士 内 原 晋



第 1 図



第 2 図



第 3 図